

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039184
 (43)Date of publication of application : 12.02.1999

(51)Int.CI.

G06F 11/22

(21)Application number : 09-194525

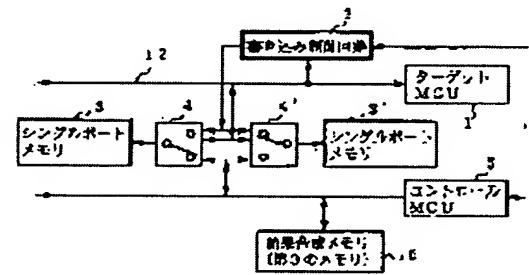
(71)Applicant : MITSUBISHI ELECTRIC CORP
 MITSUBISHI DENKI SYST LSI DESIGN KK

(22)Date of filing : 18.07.1997

(72)Inventor : KAMIGAKI AKIHIRO
 AKATSUKI TADAYUKI**(54) EMULATOR****(57)Abstract:**

PROBLEM TO BE SOLVED: To emulate a microcomputer whose access operation to memory is performed at high speed by constituting an emulator of two sets of single port memory and providing a switch to individually connect and disconnect the two sets of single port memory from a target microcomputer.

SOLUTION: Access data, a read flag and a write flag are written in the single port memory 3 or 3' selected by the switches 4, 4' by a writing control circuit 2. When read access is executed by the target MCU 1, the read flag of an address corresponding to the selected single port memory 3 or 3' is set and the write flag is cleared. In addition, when write access is executed, the write flag is set and the read flag is cleared. When a user program is executed by the target MCU 1 in emulating operation, the switches 4, 4' are controlled so that settings of the switches are reversed by a control MCU 5.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-39184

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.⁸

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

3 4 0 A

審査請求・未請求 請求項の数3 O.L (全5頁)

(21)出願番号 特願平9-194525

(22)出願日 平成9年(1997)7月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 391024515

三菱電機システムエル・エス・アイ・デザイン株式会社

兵庫県伊丹市中央3丁目1番17号

(72)発明者 上垣 秋広

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウエア株式会社内

(72)発明者 赤月 忠之

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウエア株式会社内

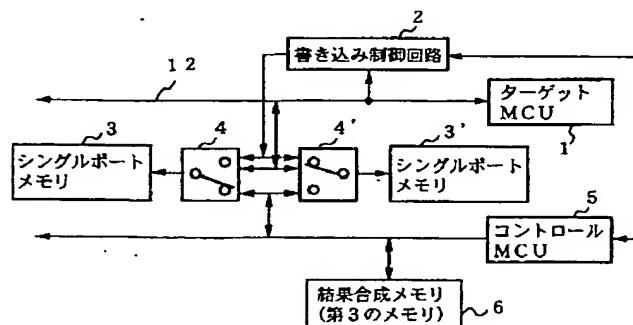
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 エミュレータ

(57)【要約】

【課題】 リアルタイムRAMモニタ機能の実現に大容量かつ高速なメモリが必要となってくると共に、サイクルスチールによる構成も困難となってきた。

【解決手段】 2組のシングルポートメモリを排他的にターゲットマイクロコンピュータとコントロールマイクロコンピュータとに接続するようスイッチング制御する。



1 : ターゲットマイクロコンピュータ

3, 3' : シングルポートメモリ (第2のメモリ)

4, 4' : スイッチ

【特許請求の範囲】

【請求項1】 動作をエミュレートする対象であるターゲットマイクロコンピュータと、該ターゲットマイクロコンピュータがその通常の動作時にアクセスする第1のメモリへデータを書き込み、また該第1のメモリからデータを読み出すときに、少なくとも該書き込み乃至読み出しを行うデータを記憶する第2のメモリを有するエミュレータにおいて、

前記ターゲットマイクロコンピュータが前記通常動作時にアクセスする前記第1のメモリの各アドレスと同一のアドレスをそれぞれが有する少なくとも2組のシングルポートメモリにより前記第2のメモリを構成し、該2組のシングルポートメモリを前記ターゲットマイクロコンピュータから個別に断続するスイッチを設けたことを特徴とするエミュレータ。

【請求項2】 第2のメモリに、ターゲットマイクロコンピュータのリード動作・ライト動作の別及びエミュレート動作開始後該ターゲットマイクロコンピュータがリード動作又はライト動作を行ったか否かを示す情報を更に記憶せしめることを特徴とする請求項1記載のエミュレータ。

【請求項3】 2組のシングルポートメモリに記憶されたデータを記憶する第3のメモリを更に設けたことを特徴とする請求項1または請求項2記載のエミュレータ。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 この発明は、エミュレータに係り、特にリアルタイムRAMモニタ機能を有するエミュレータに関するものである。ここで、リアルタイムRAMモニタ機能とは、マイクロコンピュータのエミュレート時のプログラム実行速度に影響を与えることなく、マイクロコンピュータがアクセスする各アドレスのメモリ(RAM)中のデータ、リード・ライトの別及びエミュレート動作開始からのリード・ライトの有無を監視する機能を称する。

【0002】

【従来の技術】 図2は従来のエミュレータのリアルタイムRAMモニタ機能を実現する回路構成を示すブロック図であり、図において、1はその動作をエミュレートするターゲットマイクロコンピュータ、7はメモリ中のデータ、リード・ライト動作の別及びエミュレート動作開始時からのリード・ライト動作の有無を示すデータを記憶するデュアルポートメモリ(アドレス信号・データ・制御信号用のバスを2組持ち、この2組のバスからそれぞれアクセスできる構成のメモリ)、2はデュアルポートメモリ7への書き込みを制御する書き込み制御回路で、ターゲットマイクロコンピュータ1からの制御信号並びにコントロールマイクロコンピュータ5からの書き込み動作禁止信号に基づいて動作する。

【0003】 また、8はターゲットマイクロコンピュー

タ1のアドレスバスに接続されたアドレスバス、9はターゲットマイクロコンピュータ1のデータバスに接続されたデータバス、10はターゲットマイクロコンピュータ1のコントロールバスに接続されたコントロールバスで、各バスは、ターゲットマイクロコンピュータ1の対応する各バスに接続されると共に、炊飯器等のターゲットマイクロコンピュータ1を実装する客先システム(不図示)に接続されている。

【0004】 さらに、11はデュアルポートメモリ7への書き込みを制御する書き込み制御信号を書き込み制御回路2からデュアルポートメモリ7に伝達する信号線、5はデュアルポートメモリ7に書き込まれたターゲットマイクロコンピュータ1の測定結果であるリード又はライトしたデータ、リード動作・ライト動作の別、リード動作・ライト動作の有無を示すデータを読み出すコントロールマイクロコンピュータである。デュアルポートメモリ7は、リアルタイムRAMモニタ機能を実現するために付加されたメモリであり、このデュアルポートメモリ7には、データバス9上のデータ及びコントロールバス10上の制御信号の状態が書き込み制御回路2の制御により書き込まれる。書き込み制御回路2及びデュアルポートメモリ7はプログラム開発者がプログラムのコーディング上意識することのないように、またターゲットマイクロコンピュータ1のプログラム実効速度に影響を与えることのないようにアドレスバス8、データバス9、コントロールバス10に接続されている。

【0005】 次に動作について説明する。ターゲットマイクロコンピュータ1をエミュレートする時に、書き込み制御回路2は、アドレスバス8上のアドレス信号及びコントロールバス10上の制御信号からデュアルポートメモリ7の書き込み制御信号を生成する。次に、書き込み制御回路2は、アドレスバス8上のアドレス信号がデュアルポートメモリ7の測定対象アドレスを示していれば、ターゲットマイクロコンピュータ1のライトサイクル及びリードサイクル時にデータバス9上のデータ及びコントロールバス10上の制御信号の状態をデュアルポートメモリ7へ書き込むよう書き込み制御信号を信号線11上に出力する。このようにしてデュアルポートメモリ7に書き込まれた測定結果を示すデータは、デュアルポートメモリ7のもう一方のポートを使用して、コントロールマイクロコンピュータ5により読み出される。

【0006】 このような動作上の性質により、デュアルポートメモリ7は双方のポートからリード・ライト動作が可能なメモリ以外に、ターゲットマイクロコンピュータ1と接続する側がライト動作のみ可能で、もう一方のコントロールマイクロコンピュータ5と接続する側がリード・ライト動作可能なメモリも使用されている(コントロールマイクロコンピュータ5側のライト動作はデュアルポートメモリ7の初期化の際必要となる)。また、図2の変形として、デュアルポートメモリ7を通常のシ

シングルポートメモリとし、このシングルポートメモリへの書き込みが発生しないサイクルに、シングルポートメモリに記録された測定結果を読み出す構成（サイクルスチールによる構成）を取る従来例もある。

【0007】

【発明が解決しようとする課題】従来のエミュレータのリアルタイムRAMモニタ機能は以上のようにして構成されているので、プログラムの開発・評価の対象となるマイクロコンピュータのメモリサイズの増加及びメモリアクセス動作の高速化に伴い、リアルタイムRAMモニタ機能の実現に大容量かつ高速なメモリが必要となってきているが、高速なデュアルポートメモリは同程度のアクセスタイムのシングルポートメモリより容量が小さく高価であるため、リアルタイムRAMモニタ機能の実現が困難となってきた。また、パイプライン構成の採用などマイクロコンピュータの高性能化はマイクロコンピュータによるバスの使用頻度を高めたため、シングルポートメモリを使用したサイクルスチールによる構成も困難となってきたなどの課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、安価で高速かつ大容量のシングルポートメモリを使用し、メモリサイズが大きく、メモリへのアクセス動作が高速なマイクロコンピュータをエミュレートできるリアルタイムRAMモニタ機能を有するエミュレータを得ることを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の発明に係るエミュレータは、ターゲットマイクロコンピュータ外に設けられた第2のメモリを、ターゲットマイクロコンピュータが通常動作時にアクセスする第1のメモリの各アドレスと同一のアドレスをそれぞれが有する少なくとも2組のシングルポートメモリにより構成し、この2組のシングルポートメモリをターゲットマイクロコンピュータから個別に断続するスイッチを設けたものである。

【0010】請求項2記載の発明に係るエミュレータは、第2のメモリに、ターゲットマイクロコンピュータのリード動作・ライト動作の別及びエミュレート動作開始後ターゲットマイクロコンピュータがリード動作又はライト動作を行ったか否かを示す情報を更に記憶せしめるものである。

【0011】請求項3記載の発明に係るエミュレータは、2組のシングルポートメモリに記憶されたデータを記憶する第3のメモリを更に設けたものである。

【0012】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるエミュレータのリアルタイムRAMモニタ機能を実現する回路構成を示すブロック図であり、図において、1はエミュレート対象となるターゲットマイクロコンピュー

タ、3及び3'はターゲットマイクロコンピュータ1が通常動作時にアクセスするメモリの各アドレスと同一のアドレスをそれぞれが有し、ターゲットマイクロコンピュータ1が前記メモリへデータを書き込み、また前記メモリからデータを読み出すときに、この書き込み乃至読み出しを行うデータと、ターゲットマイクロコンピュータ1のリード動作・ライト動作の別を示す情報と、エミュレート動作開始後ターゲットマイクロコンピュータ1がリード動作又はライト動作を行ったか否かを示す情報を記憶するシングルポートメモリ（第2のメモリ）、4及び4'はシングルポートメモリ3, 3'をターゲットマイクロコンピュータ1の各バスに接続されたバス12から個別に断続するスイッチで、このスイッチ4, 4'の切り換え動作の制御はコントロールマイクロコンピュータ5によりなされる。

【0013】6はシングルポートメモリ3, 3'に記憶されたデータを記憶する結果合成メモリ（第3のメモリ）、5はシングルポートメモリ3, 3'に書き込まれたターゲットマイクロコンピュータ1の測定結果であるリード又はライトしたデータ、リード動作・ライト動作の別、リード動作・ライト動作の有無を示すデータを読み出すコントロールマイクロコンピュータ、2はシングルポートメモリ3, 3'への書き込みを制御する書き込み制御回路で、ターゲットマイクロコンピュータ1の各バスに接続されたバス12上のアドレス信号及び制御信号をデコードしてシングルポートメモリ3, 3'への書き込み信号を生成し、かつコントロールマイクロコンピュータ5からの書き込み動作禁止信号に基づいて動作する。12はターゲットマイクロコンピュータ1のアドレスバス、データバス、コントロールバスにそれぞれ接続されたアドレスバス、データバス、コントロールバスで、各バスは、ターゲットマイクロコンピュータ1の対応する各バスに接続されると共に、炊飯器等のターゲットマイクロコンピュータ1を実装する客先システム（不図示）に接続されている。

【0014】シングルポートメモリ3, 3'は（1）ターゲットマイクロコンピュータ1がアクセスしたデータを格納する領域（8ビット）、（2）リードアクセスしたことを示すリードフラグを格納する領域（1ビット）、（3）ライトアクセスしたことを示すライトフラグを格納する領域（1ビット）を各アドレス空間に有している。シングルポートメモリ3, 3'はリアルタイムRAMモニタ機能を実現するために付加されたメモリであり、書き込み制御回路2の生成する制御信号により前記アクセスデータ、リードフラグ、ライトフラグが各領域に書き込まれる。シングルポートメモリ3, 3'及び書き込み制御回路2はプログラム開発者がプログラムのコーディング上意識することのないようにバス12に接続され、またターゲットマイクロコンピュータ1がプログラムを実行する上でウェイト乃至ホールドされること

なく、そのプログラム実行速度に影響を与えることのないようにスイッチ4, 4'によりバス12に交互に切り換えて接続できるように設計されている。

【0015】スイッチ4, 4'は書き込み制御回路3が生成する書き込み信号も切り替える。スイッチ4, 4'により選択されたシングルポートメモリ3又は3'は、コントロールマイクロコンピュータ5からリード・ライトすることが可能である。結果合成メモリ6はコントロールマイクロコンピュータから常にリード・ライト可能で、シングルポートメモリ3, 3'双方に記憶された前記アクセスデータ、リードフラグ、ライトフラグを記憶する。書き込み制御回路2は、バス12上のアドレス信号がシングルポートメモリ3, 3'の測定対象アドレスを示していれば、ターゲットマイクロコンピュータ1のライトサイクル及びリードサイクル時にバス12上のデータ及び制御信号の状態をシングルポートメモリ3, 3'の何れかに書き込むよう書き込み制御信号を出力する。

【0016】次に動作について説明する。まず、書き込み制御回路2は、スイッチ4, 4'により選択されたシングルポートメモリ3又は3'へターゲットマイクロコンピュータ1のアクセス情報である前記アクセスデータ、リードフラグ、ライトフラグを書き込む。具体的には、バス12上のデータを選択されたシングルポートメモリ3又は3'の対応したアドレスへ書き込む。ターゲットマイクロコンピュータ1がリードアクセスを行った時は、選択されたシングルポートメモリ3又は3'の対応したアドレスのリードフラグをセットし、ライトフラグをクリアする。ライトアクセスを行った時は、ライトフラグをセットし、リードフラグをクリアする。エミュレート動作時にターゲットマイクロコンピュータ1がデバッグ評価対象となるユーザプログラムを実行している時には、スイッチ4, 4'の設定が逆になるよう（すなわちシングルポートメモリ3及び3'の何れか一方がターゲットマイクロコンピュータ1側に接続され、他方がコントロールマイクロコンピュータ5側に接続されるよう）、コントロールマイクロコンピュータ5によって制御される。

【0017】コントロールマイクロコンピュータ5は、周期的に次のような動作を行う。ここでは、始めにシングルポートメモリ3がコントロールマイクロコンピュータ5に接続されているものとして説明する。（1）シングルポートメモリ3のリードフラグ及びライトフラグをクリアする。スイッチ4, 4'の設定を反転させる。（2）（スイッチ4, 4'の設定を反転させるまで、ターゲットマイクロコンピュータ1の測定をしていた）新たに接続されたシングルポートメモリ3'のリードフラグとライトフラグを結果合成メモリ6へコピーする。リ

ードフラグ又はライトフラグがセットされているアドレスのシングルポートメモリ3'のデータを結果合成メモリ6へコピーする。

【0018】コントロールマイクロコンピュータ5は上記の動作を周期的に繰り返すことによって、リアルタイムRAMモニタ機能を実現できる。また、コントロールマイクロコンピュータ5は、結果合成メモリ6の情報をリアルタイムRAMモニタ機能によるエミュレート結果として図示しないモニタ上に表示又は送信する。

【0019】以上のように、この実施の形態1によれば、安価で大容量のシングルポートメモリ3, 3'を用いてサイクルスチール方式によらずに高速のマイクロコンピュータのリアルタイムRAMモニタ機能を実現できる効果が得られる。

【0020】

【発明の効果】以上のように、請求項1記載の発明によれば、第2のメモリを、ターゲットマイクロコンピュータが通常動作時にアクセスする第1のメモリの各アドレスと同一のアドレスをそれぞれが有する少なくとも2組のシングルポートメモリにより構成し、この2組のシングルポートメモリをターゲットマイクロコンピュータから個別に断続するスイッチを設けたので、メモリサイズが大きく、メモリへのアクセス動作が高速なマイクロコンピュータをエミュレートできるリアルタイムRAMモニタ機能を安価に実現できる効果がある。

【0021】請求項2記載の発明によれば、第2のメモリに、ターゲットマイクロコンピュータのリード動作・ライト動作の別及びエミュレート動作開始後ターゲットマイクロコンピュータがリード動作又はライト動作を行ったか否かを示す情報を更に記憶せしめるように構成したので、ターゲットマイクロコンピュータの動作を忠実にエミュレートできる効果がある。

【0022】請求項3記載の発明によれば、2組のシングルポートメモリに記憶されたデータを記憶する第3のメモリを更に設けるように構成したので、2組のシングルポートメモリに記憶されたデータを落とすことなく再生することができる効果がある。

【図面の簡単な説明】

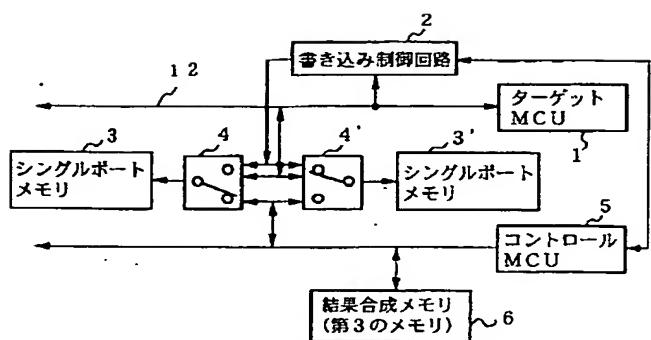
【図1】 この発明の実施の形態1によるエミュレータのリアルタイムRAMモニタ機能を実現する回路構成を示すブロック図である。

【図2】 従来のエミュレータのリアルタイムRAMモニタ機能を実現する回路構成を示すブロック図である。

【符号の説明】

- 1 ターゲットマイクロコンピュータ、3, 3' シングルポートメモリ（第2のメモリ）、4, 4' スイッチ、6 結果合成メモリ（第3のメモリ）。

【図1】



1 : ターゲットマイクロコンピュータ
 3、3' : シングルポートメモリ (第2のメモリ)
 4、4' : スイッチ

【図2】

